

Laid-Open Number : 61-295664
Laid-Open Date : December 26, 1986
Application Number : 60-137571
Application Date : June 24, 1985
Int. Class Number : G02F 1/133, G09F 9/35
Applicant : Nippon Telegraph And Telephone Corp.

Specification

1. Title of Invention

Semiconductor thin film transistor

2. Claim

A semiconductor thin film transistor having a semiconductor thin film, a source electrode, a gate electrode, and a drain electrode, wherein a plurality of strip-shaped grooves are formed in a channel region of said semiconductor thin film in the direction of said source electrode - said drain electrode.

3. Detailed Description of the Invention

[Industrial Field of Application]

The present invention relates to a high-performance thin film transistor.
[Prior Art]

Fig. 5 shows the structure of a conventional thin film transistor on a transparent glass substrate. In the diagram, reference numeral 1 denotes a transparent glass substrate; 2 a semiconductor layer (such as a silicon thin film or the like) on which a channel region is formed; 3 a source electrode; 4 a gate electrode; and 5 a drain electrode. In this manner, in the conventional thin film transistor, the source, gate, and drain structures are formed in one channel region. Fig. 6 shows a cross sectional structure of the thin film transistor. Reference numeral 6 denotes a gate insulating film and reference numeral 7 indicates a peripheral portion of the channel region. As will be understood from the cross sectional structure, the conventional thin film transistor has a structure in which the channel width is sufficiently larger than the thickness of a channel layer and a control effect due to the gate in the peripheral portions 7 of the channel region is decreased to such a degree that the effect is negligible.

[Problems that the Invention is to Solve]

Fig. 7 shows an energy band view in the above-mentioned structure constructed by the semiconductor thin film and glass substrate. In the diagram, reference numeral 8 denotes a gate electrode region; 9 a gate insulating film; 10 a semiconductor thin film region; and 11 a glass substrate. As shown in the diagram, in the case of the conventional thin film transistor, at the interface between the semiconductor thin film region 10 and the glass substrate 11, the band of the semiconductor thin film region 10 is influenced by an interface level and is curved, the threshold voltage of the thin film transistor is increased due to a phenomenon that mobile electrons are induced, namely, so-called a back channel effect, and a leakage current between the source and the drain increases. Further, there is a drawback that the mutual conductance of the thin film transistor is deteriorated due to the addition of the interface level between the semiconductor thin film and the glass substrate.

The invention is made to solve the aforementioned drawbacks. It is an object of the invention to provide a thin film transistor in which the threshold voltage is low, the leakage current between the source and the drain is low, and further, the mutual conductance is high.

[Means for Solving the Problems]

The invention is characterized in that a plurality of strip-shaped grooves are formed in a channel region of a semiconductor thin film in the direction of a source electrode - a drain electrode.

[Operation]

By forming a plurality of strip-shaped grooves in the channel region of the semiconductor thin film in the direction of the source electrode - the drain electrode, a control effect due to a gate electrode in the peripheral portion of the channel region is distinguished. Consequently, a low threshold voltage, high mutual conductance, and a low leakage current can be accomplished.

[Embodiment]

Fig. 1 is a plane view showing the construction of an embodiment of the invention. In the diagram, reference numeral 12 denotes an insulating substrate such as glass or the like; 13 a semiconductor thin film on which a lot of grooves 13a, 13a, are formed in a channel region; 14 a source electrode of a thin film transistor; 15 a gate electrode; and 16 a drain

electrode. Fig. 2 is a cross sectional view taken along the line A-A in Fig. 1. In the diagram, reference numeral 17 denotes an under region below the grooves 13a and reference numeral 18 indicates a channel region surrounded by the grooves 13a. A broken line 19 indicates a distribution of potential spread in the semiconductor. In the region 17, an influence from the gate electrode is strong, so that the potential effectively reaches the insulating substrate 12. In the channel region 18 surrounded by the grooves 13a as well, curves of the potential distribution appear in the peripheral portions of the channel region (refer to reference numeral 7 in Fig. 6) due to the strong influence from the gate electrode. Due to the effect, the electric field caused by the application to the gate electrode effectively reaches the inside of a channel layer, so that an increase in mutual conductance and a low threshold value of the thin film transistor can be accomplished. In this instance, when it is assumed that the mutual conductance in the single channel region 18 surrounded by the grooves 13a is set to $(gm)_1$ and an increase amount of the mutual conductance in the peripheral portion of the channel region 18, which is based on the control effect due to the gate in the peripheral portion of the channel region 18, is set to $(gm)_2$, the mutual conductance $(gm)_0$ of the single channel region 18 can be expressed as follows.

$$(gm)_0 = (gm)_1 + (gm)_2 \quad (1)$$

Therefore, when it is assumed that the thin film transistor is constructed by n channel regions 18 surrounded by the grooves, the mutual conductance

$$\begin{aligned} gm &= n(gm)_0 \\ &= n(gm)_1 + n(gm)_2 \end{aligned} \quad (2)$$

In this manner, the mutual conductance gm of the thin film transistor is increased by only the amount shown as $n(gm)_2$ of the second term of the above equation (2) by the control effect due to the gate around each single channel region. On the other hand, with respect to the threshold voltage, the threshold voltage is decreased by the control effect due to the gate in the

peripheral portion of each single channel region 18.

When it is assumed that the threshold voltage of the thin film transistor in the case where the control effect in the peripheral portion of the channel region 18 is very small is set to $(V_{th})_1$ and a change in threshold voltage due to the control effect in the peripheral portion of the channel region 18 is set to $(V_{th})_2$, a threshold value V_{th} of the thin film transistor is substantially equal to the threshold voltage of each single channel region 18 and it is expressed by the following equation.

$$V_{th} = (V_{th})_1 - (V_{th})_2 \quad (3)$$

That is, the second term of the above equation (3) indicates a decrease amount due to the gate control effect in the peripheral portion of each single channel region 18.

As mentioned above, as for the aforesaid thin film transistor, since the mutual conductance g_m and threshold voltage V_{th} are expressed by the equations (2) and (3), respectively, the high mutual conductance and low threshold value of the thin film transistor can be realized.

Fig. 3 is a diagram for explaining the applied example of the invention and shows a part of an equivalent circuit of a plane type display panel constructed by combining the thin film transistors according to the invention and display elements, for example, electroluminescent (EL) elements. In the diagram, reference numeral 20 denotes a thin film transistor for switching according to the invention; 21 a thin film transistor for driving the EL element, according to the invention; 22 a capacitor for holding a signal voltage; 23 an EL element; 24 a scanning line; 25 a signal line; 26 a power supply line; and 27 a reference line. One power source of the EL element 23

is connected to any one of the drain and the source of the thin film transistor 21 and another electrode of the EL element 23 is connected to the power supply line 26. The reference line 27 is connected to either the drain or the source of the thin film transistor 21 and is connected to the gate of the thin film transistor 21 through the capacitor 22. The signal line 25 is connected to the gate of the thin film transistor 21 through a portion between the drain and source of the thin film transistor 20. The scanning line 24 is connected to the gate of the thin film transistor 20.

In the above construction, when a voltage to turn on the thin film transistor 20 is applied to the scanning line 24, the thin film transistor 20 is turned on, the capacitor 22 is charged, the terminal voltage of it becomes equal to the voltage of the signal line 25, the thin film transistor 21 is turned on, an alternating voltage of the power supply line 26 is applied to the EL element 23, and the EL element 23 emits light. Fig. 4 shows a specific construction of one pixel of the plane type display panel shown in Fig. 3.

In the above-mentioned plane type display panel, since the threshold voltage of the thin film transistors 20 and 21 according to the invention is low, the panel can be driven by a voltage that is lower than the conventional one. Since the mutual conductance g_m of each of the transistors 20 and 21 is high, each of the transistors 20 and 21 can be minimized as compared with the conventional one. Consequently, the dot density of the panel can be set to higher than that of the conventional one. That is, according to the aforementioned display panel, realization of high performance of the panel can be accomplished.

The thin film transistor according to the invention can be applied to not only driving of the aforementioned EL element but also driving of a liquid crystal display device or the like.

[Effect of the Invention]

As described above, according to the invention, since a plurality of strip-shaped grooves are formed in the channel region of the semiconductor thin film, the control effect due to the gate in the peripheral portion of the channel region is remarkable. Consequently, the low threshold voltage and high mutual conductance can be accomplished and a decrease in leakage current and an increase in withstood voltage of the thin film transistor are accomplished.

4. Brief Description of the Drawings

Fig. 1 is a plane view showing the construction of an embodiment of the invention; Fig. 2 is a cross sectional view taken along A-A line in Fig. 1; Fig. 3 is an equivalent circuit diagram of a plane type display panel as an applied example of the invention; Fig. 4 is a plane view showing a specific construction of one pixel of the display panel of Fig. 3; Fig. 5 is a plane view showing the construction of a conventional thin film transistor; Fig. 6 is a cross sectional view of the transistor; and Fig. 7 is a view showing an energy

61-295664

band in the transistor.

[Description of the Reference Numerals]

13 semiconductor thin film, 13a groove, 14 source electrode, 15
gate electrode, 16 drain electrode

⑫ 公開特許公報(A)

昭61-295664

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)12月26日

H 01 L 29/78
G 02 F 1/133
G 09 F 9/35
H 01 L 27/12

118

8422-5F
D-8205-2H
6810-5C
7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体薄膜トランジスタ

⑯ 特 願 昭60-137571

⑰ 出 願 昭60(1985)6月24日

⑱ 発 明 者 海 上 隆 茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内

⑲ 発 明 者 小 暮 攻 茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 志賀 正武

明 細 書

1. 発明の名称

半導体薄膜トランジスタ

2. 特許請求の範囲

半導体薄膜と、ソース電極、ゲート電極、ドレイン電極とを有する半導体薄膜トランジスタにお

いて、前記ソース電極、ゲート電極、ドレイン電極の短冊状の溝を前記ソース電極-ドレイン電極の方向に形成してなる半導体薄膜トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は高性能薄膜トランジスタに関するものである。

(従来技術)

従来の透明ガラス基板上の薄膜トランジスタの構造を第5図に示す。この図において、1は透明ガラス基板、2はチャンネル領域を形成する半導体層(シリコン薄膜等)、3はソース電極、4はゲート電極、5はドレイン電極である。この様に、

従来の薄膜トランジスタは1つのチャンネル領域内にソース、ゲート、ドレイン構造を形成していた。この薄膜トランジスタの断面構造を第6図に示す。6はゲート絶縁膜、7はチャンネル領域の周囲部である。この断面構造から分かる様に、従来の薄膜トランジスタは、チャンネル幅がチャンネル層の厚みに比べて充分大きく、チャンネル領

る程小さくなる構造となっていた。

(発明が解決しようとする問題点)

上述した半導体薄膜とガラス基板とからなる構造でのエネルギーバンド図を第7図に示す。この図において、8はゲート電極領域、9はゲート絶縁膜、10は半導体薄膜領域、11はガラス基板である。この図に示すように、従来の薄膜トランジスタは、半導体薄膜領域10とガラス基板11の界面において、半導体薄膜領域10のバンドが界面単位の影響を受けて曲がり、可動電子が誘起される現象、いわゆるバックチャンネル効果によって薄膜トランジスタのしきい値電圧が大きくな

るとともに、ソース・ドレイン間のリーク電流が増大する。さらに、半導体薄膜-ガラス基板の界面単位の付加により薄膜トランジスタの相互コンダクタンスが低下するなどの欠点があった。

この発明は上記の欠点を解決すべくなされたもので、その目的は、しきい値電圧が低く、かつソース・ドレイン間のリーク電流が低く、さらに相互コンダクタンスが高い薄膜トランジスタを提供することにある。

(問題点を解決するための手段)

この発明は、半導体薄膜のチャンネル領域に、複数の短冊状の溝をソース電極-ドレイン電極の方向に形成したことを特徴としている。

(作用)

半導体薄膜のチャンネル領域に、複数の短冊状の溝をソース電極-ドレイン電極方向に形成することにより、チャンネル領域周辺部のゲート電極による制御効果が顕著となり、この結果、低しきい値電圧、高相互コンダクタンス、低リーク電流を各々達成することが可能になる。

い値化を達成することができる。ここで、溝 13 a によって囲まれた単一のチャンネル領域 18 における相互コンダクタンスを $(g_m)_1$ とし、チャンネル領域 18 の周辺部のゲートによる制御効果に基づく相互コンダクタンスの増加分を $(g_m)_2$ とすると、単一チャンネル領域 18 の相互コンダクタンス (g_m) は

と表わせる。したがって、該薄膜トランジスタが周囲と溝で囲まれた n 個のチャンネル領域 18 により構成されているとすると、該薄膜トランジスタの相互コンダクタンス g_m は次式となる。

$$g_m = n (g_m)_1 \quad (2)$$

この様に、薄膜トランジスタの相互コンダクタンス g_m は各単一チャンネル領域周辺におけるゲートによる制御効果によって、上記 (2) 式の第 2 項 $n (g_m)_2$ で表わされる量だけ増加する。一方、しきい値電圧については、各単一のチャンネル領域 18 の周辺部のゲートによる制御効果で

(実施例)

第 1 図は、本発明の一実施例の構成を示す平面図である。この図において、12 はガラス等の絶縁基板、13 はチャンネル領域内に多数の溝 13 a, 13 a …… が形成された半導体薄膜、14 は薄膜トランジスタのソース電極、15 はゲート電極、16 はドレイン電極である。第 2 図は、第 1 図における A-A 線断面図であり、この図において、17 は溝 13 a の下部領域、18 は溝 13 a に囲まれたチャンネル領域である。破線 19 は半導体内に拡がった電位の分布を示すもので、領域 17 においては、ゲート電極からの影響が強く、電位が絶縁基板 12 まで有効に到達するとともに、溝 13 a に囲まれたチャンネル領域 18 においても、チャンネル領域の周辺部 (第 6 図の符号 7 参照) でゲート電極からの強い影響によりチャンネル領域の周辺部において電位分布の曲りが現われる。この効果により、ゲート電極印加による電界が有効にチャンネル層内部にかかり、薄膜トランジスタの相互コンダクタンスの増大および低しき

しきい値電圧が減少する。

上記チャンネル領域 18 の周辺部の制御効果が非常に小さい時の薄膜トランジスタのしきい値電圧を $(V_{th})_1$ とし、チャンネル領域 18 の周辺部の制御効果によるしきい値電圧の変化を $(V_{th})_2$ とすると、該薄膜トランジスタのしきい値 V_{th} は各単一チャンネル領域 18 のしきい値電圧 $(V_{th})_1$ と

$$V_{th} = (V_{th})_1 - (V_{th})_2 \quad \dots \dots (3)$$

すなわち、上記 (3) 式の第 2 項が各単一チャンネル領域 18 の周辺部のゲート制御効果による減少分である。

この様に、上述した薄膜トランジスタでは、相互コンダクタンス g_m およびしきい値電圧 V_{th} がそれぞれ (2) 式、(3) 式で表わされることから、薄膜トランジスタの高相互コンダクタンス化および低しきい値化が可能となる。

第 3 図は、本発明の応用例を説明する図であって、本発明による薄膜トランジスタと、表示素子、例えばエレクトロルミネッセンス (EL) 素子と

を組み合わせる事により構成した平面形表示パネルの等価回路の一部を示したものである。この図において、20は本発明によるスイッチング用の薄膜トランジスタ、21は本発明によるEL素子駆動用の薄膜トランジスタ、22は信号電圧保持用の容量、23はEL素子、24は走査線、25は信号線、26は電源線、27は基準線である。EL素子23の一方の電極は薄膜トランジスタ21のドレインまたはソースのいずれか一方と接続され、EL素子23の他方の電極は電源線26と接続されている。基準線27は薄膜トランジスタ21のドレインおよびソースのいずれか他方と接続され、かつ、容量22を介して薄膜トランジスタ21のゲートと接続され、信号線25は薄膜トランジスタ20のドレイン・ソース間を介して薄膜トランジスタ21のゲートと接続され、走査線24は薄膜トランジスタ20のゲートと接続されている。

以上の構成において、走査線24へ薄膜トランジスタ20がオンとなる電圧が印加されると、薄

膜トランジスタ20がオンへ転じ、容量22が充電されて、この端子電圧が信号線25の電圧と等しくなり、薄膜トランジスタ21もオンへ転じ、EL素子23へ電源線26の交流電圧が印加され、EL素子23が発光する。なお、第4図に、第3図で示した平面形表示パネルの一面素分の具体的構成を示す。

しかして、上述した平面形表示パネルにおいては、この発明による薄膜トランジスタ20、21のしきい値電圧が低いことから、パネルを従来より低電圧で駆動することができる。また、トランジスタ20、21の相互コンダクタンス μ が高いことから、各トランジスタ20、21を従来より小さく形成することができ、この結果、パネルのドット密度を従来より高くすることが可能になる。すなわち、上記表示パネルによれば、パネルの高性能化を達成することができる。

なお、この発明による薄膜トランジスタは、上述したEL素子の駆動のみならず液晶表示器の駆動等にも勿論適用可能である。

(発明の効果)

以上説明したように、この発明によれば、半導体薄膜のチャンネル領域に複数の短冊状の溝を設けたので、チャンネル領域周辺部のゲートによる制御効果が顕著となり、この結果、低いしきい値電圧、高相互コンダクタンスを達成することができるとともに、リーク電流の低減、素子耐圧の増大

ン電極。

出願人 日本電信電話株式会社
代理人 弁理士 志賀正

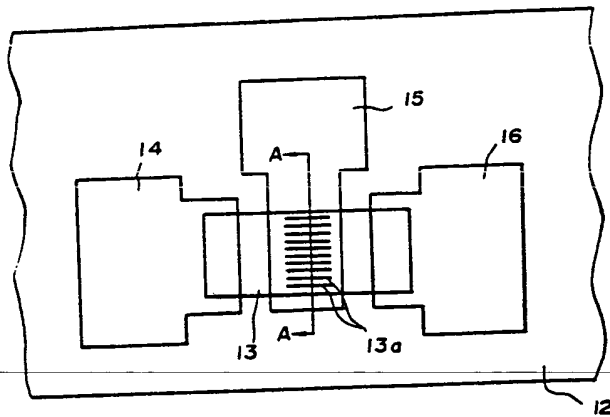


4. 図面の簡単な説明

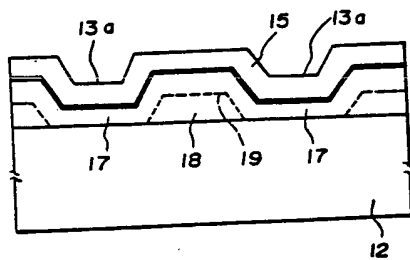
第1図はこの発明の一実施例の構成を示す平面図、第2図は第1図におけるA-A線断面図、第3図はこの発明の応用例である平面形表示パネルの等価回路図、第4図は第3図の表示パネルの一面素分の具体的構成を示す平面図、第5図は従来の薄膜トランジスタの構成を示す平面図、第6図は同トランジスタの断面図、第7図は同トランジスタのエネルギーバンドを示す図である。

13……半導体薄膜、13a……溝、14……ソース電極、15……ゲート電極、16……ドレイ

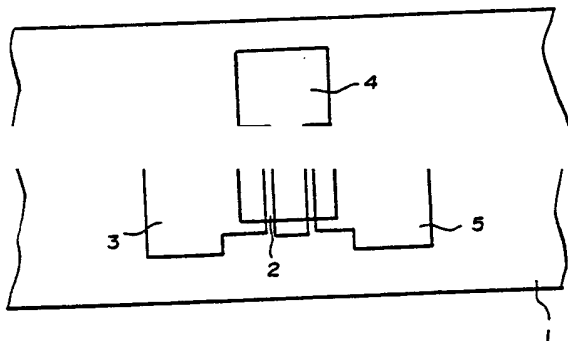
第 1 図



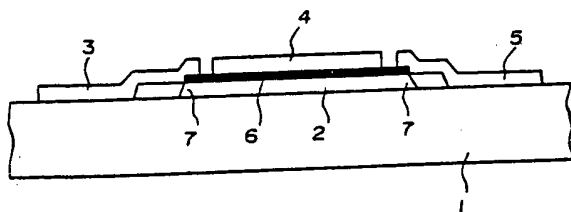
第 2 図



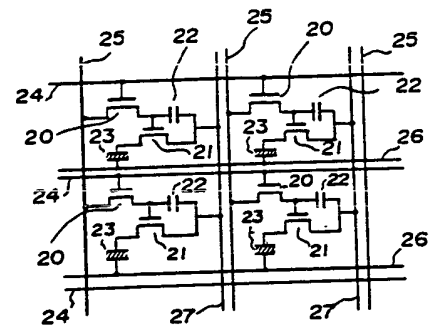
第 5 図



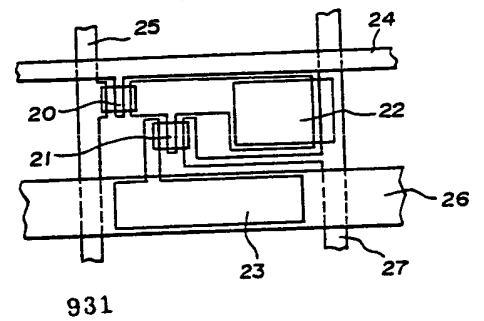
第 6 図



第 3 図



第 4 図



第 7 図

